

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-113948

(43)Date of publication of application : 07.05.1993

(51)Int.Cl. G06F 13/28
G06F 13/12

(21)Application number : 03-274378

(71)Applicant : FUJITSU LTD

(22)Date of filing : 23.10.1991

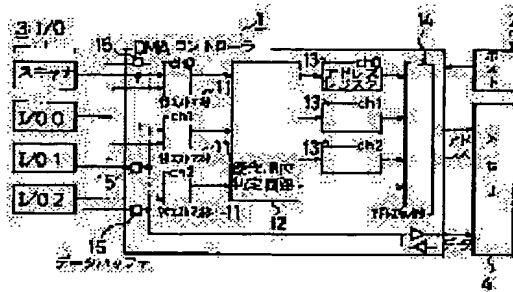
(72)Inventor : AZUMA AKIHIRO
OWADA HIDEO
TAMAKI KAZUHIDE

(54) DATA TRANSFER DEVICE

(57)Abstract:

PURPOSE: To attain the continuous transfer of data with a data transfer device to carry on the transfer of data via another channel when the transfer of data exceeds the transfer limit of a certain channel.

CONSTITUTION: Plural channels are provided to receive the transfer request signals from the same I/O 3 together with a priority deciding circuit 12 which sets the requested data transfer byte number to a preferential channel. If this byte number exceeds the transfer limit of the channel, another channel is designated. Then the circuit 12 repeats these operations alternately among plural channels. Thus the addresses are continuously transmitted via the channel to which the data transfer byte number is set by the circuit 12. Then the data can be continuously transferred.



LEGAL STATUS

[Date of request for examination] 26.09.1994

[Date of sending the examiner's decision of rejection] 01.04.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

Best Available Copy

(11)特許出願公開番号

特開平5-113948

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl.⁵

G 0 6 F 13/28

13/12

識別記号

庁内整理番号

3 1 0 G 8725-5B

3 3 0 D 7230-5B

FI

技術表示箇所

審査請求 未請求 請求項の数 1 (全 6 頁)

(21)出願番号 特願平3-274378

(22)出願日 平成3年(1991)10月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)發明者 東 明浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 大和田 秀夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 田巻 和秀

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 岡田 守弘

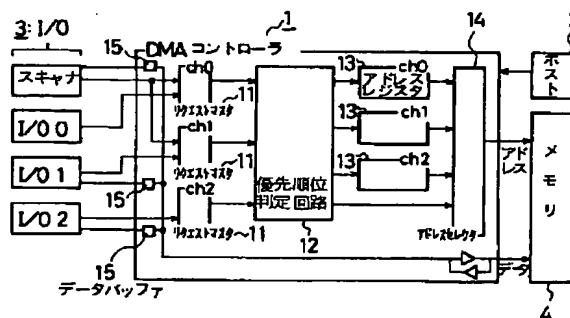
(54)【発明の名称】 データ転送装置

(57)【要約】

【目的】 本発明は、データ転送を行うデータ転送装置に関し、データ転送が１つのチャンネルの転送限界を越えたときに他のチャンネルを使用して引き続いてデータ転送することを繰り返し、連続的にデータ転送を可能にすることを目的とする。

【構成】 同一の I/O3 からの転送リクエスト信号を受け付ける複数のチャネルと、要求のあったデータ転送バイト数を優先のチャネルに設定してオーバーしたときに他のチャネルに設定し、更にオーバーしたときに交互に繰り返す優先順位判定回路 12 とを備え、この優先順位判定回路 12 によってデータ転送バイト数を設定したチャネルを使用してアドレスを連続して送出し、データを転送するように構成する。

本発明の1実施例構成図



【特許請求の範囲】

【請求項1】 データ転送を行うデータ転送装置において、

同一のI/O(3)からの転送リクエスト信号を受け付ける複数のチャンネルと、

要求のあったデータ転送バイト数を優先のチャンネルに設定してオーバーしたときに他のチャンネルに設定し、更にオーバーしたときに交互に繰り返す優先順位判定回路

(12)とを備え、

この優先順位判定回路(12)によってデータ転送バイト数を設定したチャンネルを使用してアドレスを連続して送出し、データを転送するように構成したことを特徴とするデータ転送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ転送を行うデータ転送装置に関するものである。

【0002】

【従来の技術】従来、データ転送するDMAコントローラを使用するシステムは、図3のような構成を持ち、DMAコントローラの転送アドレス長を越えるデータ転送について、DMA転送終了後にレジスタの書き換え、コマンドの設定などの所定の手続きを行った後にデータ転送を再開するようにしていた。以下図3の構成および動作を簡単に説明する。

【0003】スキャナ21、I/O22は、原稿をスキャンして画像データを生成したり、外部からデータを取り込んだりなどするものである。これらスキャナ21、I/O22のデータは、メモリ24にデータ転送する。

【0004】DMAC23は、スキャナ21やI/O22からデータをメモリ24に直接にデータ転送するものである。メモリ24は、データ転送されてきたデータを格納するものである。

【0005】次に、動作を説明する。

(1) 図示外のホスト(CPU)がDMAC23に例えばデータ転送バイト数、アドレスをレジスタに設定してスキャナ21からメモリ24にデータ転送要求する。

【0006】(2) DMAC23は、スキャナ21からの所定のチャンネルへのリクエストに対応して、アドレスレジスタを加算(あるいは減算)してメモリアドレスを発生し、スキャナ21からのデータをメモリ24にデータ転送して書き込む。

【0007】(3) DMAC23は、転送バイトカウンタで計数して(1)で設定した転送限界に至ったときに、転送処理を終了する。

(4) 1回のデータ転送処理でデータを転送し得ないときは、(1)から(3)を繰り返す。

【0008】

【発明が解決しようとする課題】上述した図3の従来のデータ転送処理は、DMAC23が転送できる最大のデ

ータ転送バイト数内のときは特に問題はない。しかし、最大のデータ転送バイト数を越える場合には、アドレスを設定してスキャナ21からメモリ24にデータ転送し、次に、レジスタの書き換え、コマンドの設定を繰り返してデータ転送を繰り返す必要があり、迅速に転送できないと共にデータ転送バイト数、アドレス、コマンドの設定と処理が複雑になってしまうという問題があった。また、データ発生間隔が短い場合、レジスタなどに設定を行う間のデータ転送ができない時間にデータ転送が滞り、正確なデータ転送ができないという問題があった。これらデータ転送バイト数による制限を無くするために、転送可能なアドレス長を延長したのでは、回路規模の増大につながってしまう問題がある。

【0009】本発明は、データ転送が1つのチャンネルの転送限界を越えたときに他のチャンネルを使用して引き続いてデータ転送することを繰り返し、連続的にデータ転送を可能にすることを目的としている。

【0010】

【課題を解決するための手段】図1を参照して課題を解決するための手段を説明する。図1において、チャンネルは、同一のI/O3からの転送リクエスト信号を受け付けるものである。

【0011】優先順位判定回路12は、要求のあったデータ転送バイト数を優先のチャンネルに設定してオーバーしたときに他のチャンネルに設定し、更にオーバーしたときに交互に繰り返すものである。

【0012】

【作用】本発明は、I/O3からの転送リクエスト信号を複数のチャンネルが受け付け、要求のあったデータ転送バイト数を優先のチャンネルに設定してオーバーしたときに他のチャンネルに設定し、更にオーバーしたときに優先のチャンネル、他のチャンネルに交互に設定し、アドレスを連続に出力してデータを連続転送するようにしている。

【0013】従って、I/O3からのデータ転送が1つのチャンネルの転送限界を越えたときに他のチャンネルを使用して引き続いてデータ転送することを繰り返すことにより、短いサイズの転送バイトカウンタによってこれらを上回る大きなサイズのデータを連続して高速にデータ転送することが可能となる。

【0014】

【実施例】次に、図1および図2を用いて本発明の実施例の構成および動作を順次詳細に説明する。

【0015】図1は、本発明の1実施例構成図を示す。図1において、DMAコントローラ1は、I/O3からメモリ4へデータ転送するものであって、リクエストマスク11、優先順位判定回路12、アドレスレジスタ13、アドレスセレクト14、データバッファ15などから構成されるものである。ここでは、DMAコントローラ11に、複数のチャンネル、即ち、リクエストマスク、アドレスレジスタ13などのデータ転送を行うための回

路が複数設けてある。2組のチャンネルを交互に使用し、各チャンネルでデータ転送可能な転送バイト数よりも大きなデータを連続してデータ転送することが可能となる(図2フローチャート参照)。

【0016】リクエストマスク11は、I/O3からのDMAリクエストを受け付けたり、禁止したりするためのマスクであって、チャンネルch0、ch1、ch2毎に設けたものである。

【0017】優先順位判定回路12は、複数のチャンネル、例えばチャンネルch0とチャンネルch1の2つを使用して交互にデータ転送を連続して行う際に、いずれのチャンネルを優先して使用するかを判定する回路である(図2のフローチャート参照)。

【0018】アドレスレジスタ13は、データ転送するアドレスを生成するものであって、例えばI/O3からメモリ4に1バイト転送する毎に+1するアドレスを生成するものであって、チャンネル毎に設けたものである。

【0019】アドレスセクタ14は、チャンネルch0、ch1、ch2毎のアドレスレジスタ13のうちのいずれか1つを選択するものである。データバッファ15は、I/O3から読み出したデータを一時的に格納するバッファ、例えば8ビットのデータバッファであって、メモリ4にデータ転送する際にデータをバッファリングするものである。

【0020】ホスト2は、DMAコントローラ1に対して、データ転送するI/O3、転送バイト数、アドレスなどを設定するものである(図2のフローチャート参照)。I/O3は、外部からデータを取り込んだりなどする入出力装置であって、ここでは、原稿から画像イメージを読み取るスキャナ、その他のI/O1、2などから構成されるものである。

【0021】メモリ4は、データ転送して書き込むメモリである。次に、図2のフローチャートを用いて図1の構成の動作を詳細に説明する。図2において、S1は、ホスト2が転送バイト数、アドレスをDMAコントローラ1に設定する。これは、ホスト2がここではスキャナからデータをメモリ4にデータ転送するために、転送しようとする転送バイト数、アドレス(メモリ4の先頭アドレスなど)、コマンド(転送コマンド)をレジスタに設定、更にスキャナが使用するチャンネル、ここではチャンネルch0、チャンネルch1の2つのリクエストマスク11をDMAリクエスト受付可状態に設定する。

【0022】S2は、スキャナがDMAリクエスト(転送リクエスト)をDMAコントローラ1に送出して、チャンネルch0とチャンネルch1が受け付ける。S3は、優先チャンネルへ設定(ここではチャンネルch0(n))する。これは、DMAコントローラ1の優先順位判定回路12が、S2で送出されたDMAリクエストを受け付けたチャンネルch0とチャンネルch1のうちの優先チャンネル、ここではチャンネルch0に依頼を受けたデータ転

送数を設定する(ch0(n))。

【0023】S4は、S3で設定したデータ転送数nだけ転送する。これは、スキャナから読み出したデータを、アドレスレジスタ13によって生成されたメモリ4のアドレスに転送して書き込んだ後、アドレスレジスタ13を+1することを繰り返し、図示外の転送バイトカウンタによって計数して設定したデータ転送数nになるまで繰り返し行う。

【0024】S5は、S3の優先チャンネルへの設定した結果、最大の転送バイト数ch0(n)をオーバーして未転送の転送バイト数が生じたか否かを判別する。YESの場合には、S6に進む。NOの場合には、要求のあったデータを、スキャナからメモリ4へ全て転送終了したので、一連のデータ転送処理を終了する(END)。

【0025】S6は、次のチャンネルへ設定(ここではチャンネルch1(n))する。これは、DMAコントローラ1の優先順位判定回路12が、S2で送出されたDMAリクエストを受け付けたチャンネルch0とチャンネルch1のうちの次の優先レベルのチャンネル、ここではチャンネルch1に依頼を受けたデータ転送数を設定する(ch1(n))。

【0026】S7は、S6で設定したデータ転送数nだけ転送する。これは、スキャナから読み出したデータを、アドレスレジスタ13によって生成されたメモリ4のアドレスに転送して書き込んだ後、アドレスレジスタ13を+1することを繰り返し、図示外の転送バイトカウンタによって計数して設定したデータ転送数nになるまで繰り返し行う。

【0027】S8は、S6の次のチャンネルへの設定した結果、最大の転送バイト数ch1(n)をオーバーして未転送の転送バイト数が生じたか否かを判別する。YESの場合には、S9で再設定のためにS3に進み、優先チャンネルch0に設定することを繰り返し、結果として優先のチャンネルch0と次のチャンネルch1とに交互に転送バイト数を設定、即ち優先のチャンネルch0を使用してデータ転送している間にチャンネルch1に転送バイト数、アドレスを設定し、一方、チャンネルch1を使用してデータ転送している間にチャンネルch0にデータ転送バイト数、アドレスを設定することを交互に繰り返す。一方、NOの場合には、要求のあったデータを、スキャナからメモリ4へ全て転送終了したので、一連のデータ転送処理を終了する(END)。

【0028】以上のように、DMAコントローラ1の2つのチャンネルch0、チャンネルch1を使用し、スキャナからのDMAリクエストを両者で受け付け、優先順位判定回路12が優先のチャンネルch0を使用してスキャナからメモリ4にデータ転送し、次のチャンネルch1を使用してスキャナからメモリ4にデータ転送することを交互に繰り返すことにより、チャンネルch0、ch1によって転送し得る最大の転送バイト数を越えてスキャナ

からメモリ4に連続して高速にデータ転送することが可能となる。

【0029】

【発明の効果】以上説明したように、本発明によれば、I/O3からのデータ転送が1つのチャンネルの転送限界を越えたときに他のチャンネルを使用して引き続いてデータ転送することを繰り返す構成を採用しているため、短いサイズの転送バイトカウンタによってこれを上回る大きなサイズのデータを高速かつ連続してデータ転送することができる。これにより、DMAコントローラの他の

【図面の簡単な説明】

*

*【図1】本発明の1実施例構成図である。

【図2】本発明の動作説明フローチャートである。

【図3】従来技術の説明図である。

【符号の説明】

1：DMAコントローラ

11：リクエストマスク

12：優先順位判定回路

13：アドレスレジスタ

14：アドレスセクタ

15：データバッファ

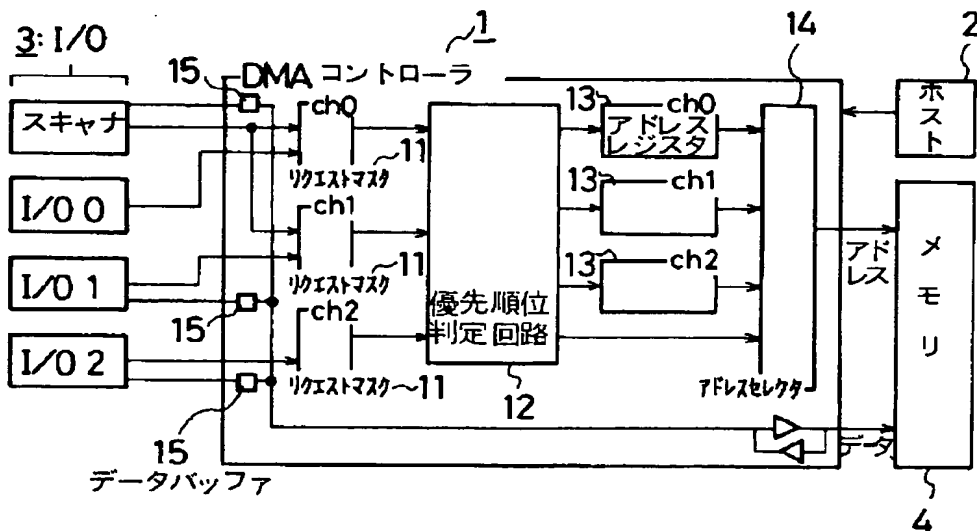
2：ホスト

3：I/O

4：メモリ

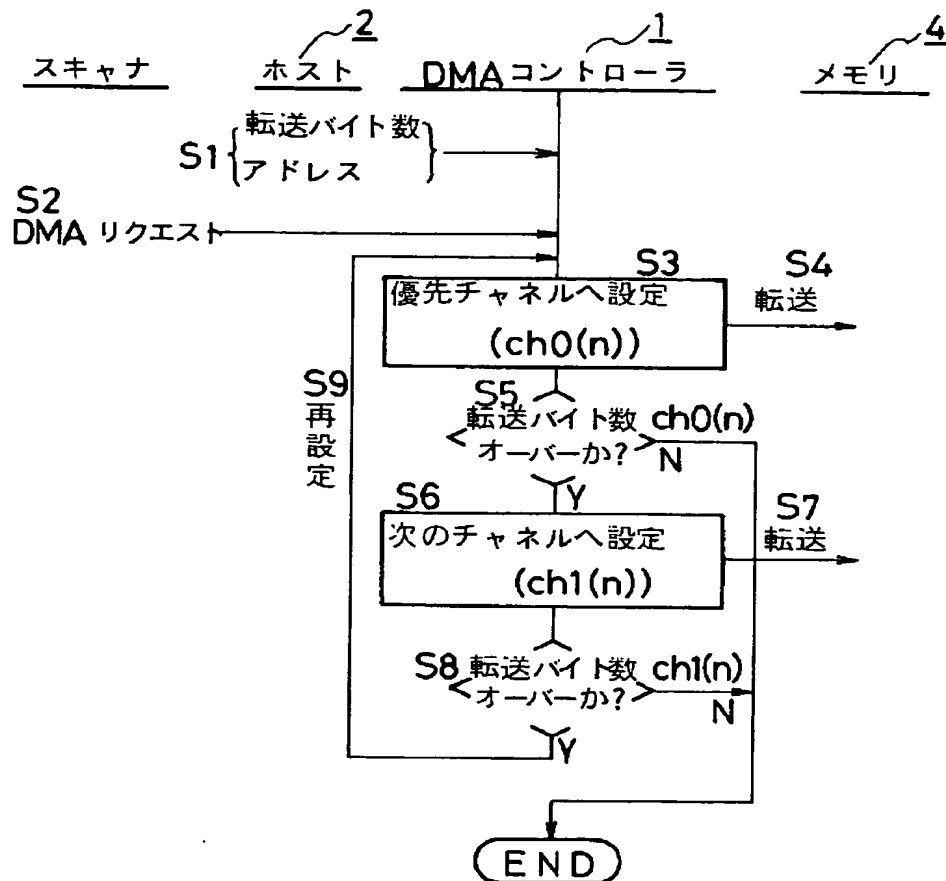
【図1】

本発明の1実施例構成図



【図2】

本発明の動作説明フローチャート



【図3】

従来技術の説明図

